

SDI 芯片夹具板互连链路阻抗仿真与验证

王锐 赵玉林 张波

井芯微电子技术(天津)有限公司

DOI: 10.12238/jpm.v5i4.6732

[摘要] 随着半导体技术的不断发展, 串行总线拥有高达几十 Gbps 的速率, 其在传输过程中会由于传输线效应导致信号完整性问题。本论文就互连链路阻抗优化方法进行了研究, 对传输线特性阻抗阻抗计算进行了论述。同时对于网络分析仪测量特性阻抗的基本原理、分辨率及校准方法进行了研究。形成阻抗设计优化、仿真、实际测试闭环结合, 对互连链路特性阻抗全流程开发给出了理论指导及实际参考。

[关键词] 特性阻抗; SMA 同轴; 网络分析仪

Simulation and Verification of Impedance in the Interconnection Link of SDI Chip Fixture Board

Wang Rui, Zhao Yulin, Zhang Bo

Jingxin Microelectronics Technology (Tianjin) Co., Ltd

[Abstract] With the continuous development of semiconductor technology, serial buses have a speed of up to tens of Gbps, which may cause signal integrity issues during transmission due to transmission line effects. This paper studies the optimization method of interconnect link impedance and discusses the calculation of transmission line characteristic impedance. At the same time, the basic principles, resolution, and calibration methods for measuring characteristic impedance of network analyzers were studied. The combination of impedance design optimization, simulation, and practical testing provides theoretical guidance and practical reference for the full process development of interconnect link characteristic impedance.

[Key words] characteristic impedance, SMA coaxial, network analyzer

一、阻抗介绍

在低速数字通信领域, 数字信号的上升下降沿较为缓慢, 带宽较低, 工程师使用传统的电路原理即可解决 PCB 上互连信号问题。互连链路被当成理想元件来处理, 无需理解信号从发送端传输到接收端所需传输时间, 发送端被当作理想的信号源, 并认为接收端的信号波形和发送端的信号完全相同。随着人们对于大数据传输和存储的需要, 众多的数字总线数据速率达到了 GHz 以上, 数字信号的上升下降沿变得越来越陡峭, 信号中包含更高的频率成分, 互连链路恶化。

瞬时阻抗是评估高速新是互连链路的中的重要参数之一。阻抗的基本定义是元件两端的电压与流过电流的比值。信号的电压是由信号源决定, 而电流的大小取决于互连链路每步长度

的电容和电容充电时间的长短。只要信号的速度和单位长度的电容恒定, 注入导线的电流就恒定, 阻抗就恒定。假设两条导线的宽度突然增加, 则每一步之间的电容就增加, 则电流也会增加。电压不变而电流增加, 互连链路的阻抗就减小了。反之阻抗增大。信号与互连链路相互作用的一个重要特征就是: 当信号遇到的瞬态阻抗变化时, 一部分信号被反射, 一部分信号更加失真, 信号完整性就会恶化, 带来信号幅度降低, 上升时间降低, 信号抖动增加。

二、阻抗计算

通常互连链路中传输线有两种连接方式: 微带线和带状线。图 1 所示上面是一种微带线布局, 走线在 PCB 的顶层和底层, 只有一个电压参考平面。下面是一种带状线布局, 走线在

PCB 内层, 有两个电压参考平面。

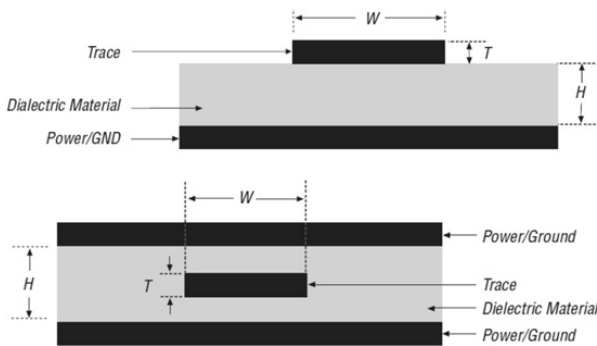


图1 微带线和带状线布局

图1的注释:

(1) W=走线宽度, T=走线厚度, H=走线和参考平面之间的高度。

(2) W=走线宽度, T=走线厚度, H=走线和两个参考平面之间的高度。

2.1 微带线阻抗计算

PCB 外层电路走线采用了微带布局, 其下有参考平面。使用公式 1 来计算微带线布局的阻抗。

公式 1:

$$Z_0 = \frac{87}{\sqrt{\epsilon_Y + 1.41}} \ln\left(\frac{5.98 * H}{0.8W + T}\right) \Omega$$

微带走线阻抗与走线宽度 (W) 的关系, 使用了公式 1, 保持介质高度和走线厚度不变, 阻抗变化与走线宽度成反比。

微带走线阻抗与高度 (H) 的关系, 使用了公式 1, 保持走线宽度和走线厚度不变, 阻抗变化与地平面之上走线高度成正比。

微带走线阻抗与走线厚度 (T) 的关系, 使用了公式 1, 保持介质宽度和介质高度不变。随着走线厚度的增加, 走线阻抗在减小。

2.2 带状线阻抗计算

PCB 内层电路走线采用了带状线布局, 其下有两个电压参考平面 (电源以及 GND)。您可以使用公式 2 来计算带状线布局的阻抗。

公式 2:

$$Z_0 = \frac{60}{\sqrt{\epsilon_Y}} \ln\left(\frac{4H}{0.67\pi (0.8W + T)}\right) \Omega$$

带状线阻抗和走线宽度的关系, 使用公式 2, 保持高度和厚度不变, 带状线阻抗与走线宽度成反比。

带状线阻抗与介质高度 (H) 的关系, 使用了公式 2, 保持走线宽度和走线厚度不变, 带状线阻抗与高度成正比。

带状线阻抗与走线厚度的关系, 使用了公式 2, 保持走线宽度和介质高度不变, 随着走线厚度的增加, 特征阻抗在减小。

三、阻抗测试原理

网络分析仪 VNA 是测量被测件频率响应的仪器, 测量的

时候给被测器件输入一个正弦波激励信号, 然后通过计算输入信号与传输信号或反射信号之间的矢量幅度比得到测量结果; 在测量的频率范围内对输入的信号进行扫描就可以获得被测器件的频率响应特性。

频域和时域之间的关系可以通过傅立叶理论来描述。通过对使用 VNA 获得的反射和传输频率响应特性进行傅立叶逆变换, 获得时域上的冲激响应特性。再通过对冲激响应特性进行积分, 得到阶跃响应特性。

四、SDI 芯片阻抗设计与仿真

SDI 交换芯片夹具板, 芯片具有 32 个高速 lane, 支持 RapidIO、FC、10GBase-KR、1000Base-X 四种协议交换, 并支持四种协议之间的混合协议转换和数据交换。单 lane 最高支持速率为 10.3125Gbaud, 芯片的高速 lane 全部由 SMA 同轴引出, 用于对接高带宽示波器和误码仪。SDI 芯片支持 3 种协议和 9 种速率, 速率涵盖低速到高速, 所以 SDI 芯片夹具的信号完整性要求比常规芯片夹具要高。PCB 走线可以通过走线的线宽、线距、叠层高度很好控制, 而 SMA 连接器是 3D 模型, 其阻抗控制难度较高。本文则对 SMA 连接器做了重点研究设计, 在 SMA 下方挖平面的基础上, 创新性的在 SMA 连接器走线附近多处优化。

紧耦合高速线按照差分 100Ω 设计, 走线到 SMA 同轴处高速线分离, 无法保证差分线紧耦合, 按单端 50Ω 设计。为了保持 50Ω 传输线, 初始设计是窄线布线到 SMA 底面。当走线到 SMA 的中心 pad, 走线突然变宽导致特性阻抗降低。因此, 要删除 SMA 的安装垫块下方参考平面, 以减少阻抗突然失配。

在仿真中所有的走线和平面层都设置为 1 盎司铜。端口 1 定义在 50Ω 走线的开始端, 端口 2 定义在 SMA 连接器的末端。优化的关键参数是圆环切口半径。圆的半径从初始值 15mil 扫至 20mil, 最后 25mil。

图 2 显示阻抗图结果对比, 红色线是 SMA 下方无切口。蓝线、黑线和绿线分别是切口半径为 15、20、25mil。仿真结果表明, 开孔半径对优化阻抗失配有重要作用。SMA 下方无切口相对于标称阻抗 50Ω 阻抗失真大于 25Ω。失真最小的切口半径为 25mil, 阻抗失真小于 5Ω, 满足阻抗在 ±10% 公差范围内要求。

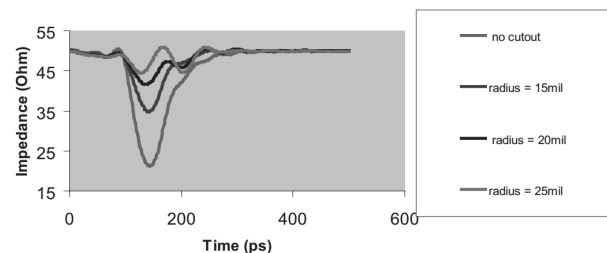


图2 不同切口半径的阻抗曲线对比

为了保证 SDI 芯片互连链路的阻抗匹配, 创造性在 SMA 连接器附近做了 8 处 layout 优化如下。

1. 距离中间信号过孔 49.75mil, 放置 7 个回流孔;
2. SMA 安装垫块下方铜皮切出一个大圆环, 圆环半径为 25mil;
3. 信号线在第 3 层, 第 4 层到 bottom 是非功能过孔, 考虑工艺, 进行背钻到第 4 层;
4. 在第 3 层信号下的第 4 层增加参考铜皮, 补铜皮宽 34mil, 长度到过孔的隔离区;
5. SMA 安装垫块下方铜皮切出圆环内走线加粗至 12mil;
6. 不耦合处按单端 50 Ω 阻抗线设计, 线宽 8.5mil;
7. 走线拐弯处线宽 8mil;
8. 按差分 100 Ω 阻抗线设计, 线宽 5mil, 线距 4.2mil

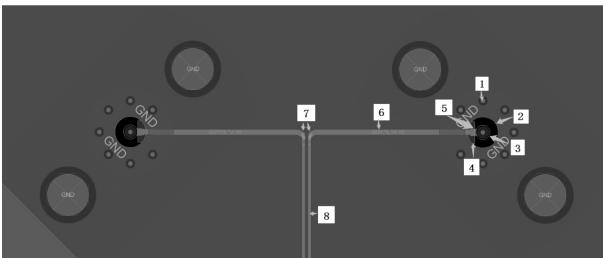


图3 实际阻抗优化设计

仿真中导入优化后的 PCB 文件, 检查仿真 PCB 结构是按照优化设计。仿真设置扫频范围是 0-40GHz, 读取仿真结果设置上升时间为 35ps。端口 1 定义在 SMA 连接器的连接端, 端口 2 定义在差分走线的截面端。仿真结果设置了 5 个 mark 点, 第 1 点是端口 1 处阻抗, 第 2 点是 SMA 与 PCB 焊盘压接点阻抗, 第 3 点是 SMA 中间信号过孔处阻抗, 第 4 点是单端走线向差分走线转变, 第 5 点是走线截面处阻抗。进行优化前后仿真对比, 优化前阻抗, 链路中阻抗最低处是 SMA 与 PCB 焊盘压接点, 阻抗为 85.47 Ω , 不满足 $\pm 10\%$ 公差的要求。进行 8 项 layout 优化后, 图 4 所示, 优化后链路中阻抗最低处是 SMA 中间信号过孔处, 阻抗为 97.82 Ω , 满足 $\pm 10\%$ 公差的要求。

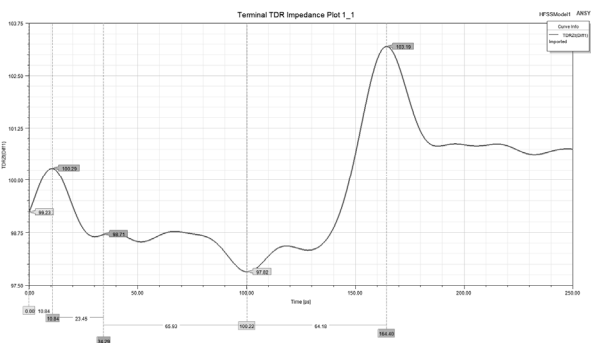


图4 优化后阻抗

五、阻抗实际测试

校准后连接仪器到被测件, 测试阻抗如图 5 所示。结果设置 8 个 mark 点, 第 1 点是 SMA 与 PCB 焊盘压接点阻抗, 第 2 点是 SMA 中间信号过孔处阻抗, 第 3-4 点是单端走线向差分走线转变, 第 4 是差分线阻抗, 第 5-8 点是链路中 1-4 点对称阻抗。链路中阻抗最低处为 97.5 Ω , 最高处为 109.9 Ω 。第 1 点由于仿真凸点模拟与实际 SMA 信号触点压接有区别, 此处实测与仿真有 4 Ω 左右偏差。第 2 点 SMA 中间信号过孔处阻抗做了

大量优化, 仿真与 PCB 实际制作阻抗一致。第 3-4 点, 由于 PCB 制板走线线宽雕刻误差, 此处实测与仿真有 6 Ω 左右偏差。整体链路满足阻抗在 $\pm 10\%$ 公差范围内要求, 在 SMA 连接器处的阻抗在 $\pm 5\%$ 公差。



图5 SMA 链路实际阻抗测试

六、总结

现代高速数字系统中面临的信号完整性问题越来越严峻, 需要研发人员保证互连链路的阻抗可控, 并在协议规范要求内。本文概述了互连链路阻抗定义, 介绍微带线和带状线的阻抗计算, 进而分析影响阻抗的参数。针对互连链路的 SMA 同轴, 进行多项参数对比仿真分析, 创造性的提出信号链路上多处节点 layout 优化。通过实际测试阻抗与仿真结果阻抗值匹配, 满足协议要求的阻抗公差, 为后续产品一次性设计成功和信号完整性仿真提供参考。

[参考文献]

- [1]谢拥军、刘莹、李磊, HFSS 原理与工程应用[M]. 科学出版社, 2009
 - [2]孙灯亮. 基于 TDR 规范的阻抗, 差分阻抗测试方法及应用[G/DK].[2002-04]
 - [3]Stephen H. Hall, 高级信号完整性技术[M]. 电子工业出版社, 2015
 - [4]Joe I Dunsmore, 微波器件测量手册 [M]. 电子工业出版社, 2014
 - [5]朱辉、冯云, 实用射频测试和测量[M]. 电子工业出版社, 2016
 - [6]毛忠宇、杨晶晶、刘志瑞、李生, 信号、电源完整性仿真设计与高速产品应用实例[M]. 电子工业出版社, 2018
- 作者简介: 王锐 (1989-), 男, 硕士, 高级工程师, 主要研究方向: 高速板卡设计、SI/PI 测试方法研究、时钟抖动测试方法研究;
- 赵玉林 (1988-), 男, 硕士, 高级工程师, 主要研究方向: 高速板卡设计;
- 张波 (1986-), 男, 硕士, 高级工程师, 主要研究方向: 大型复杂系统的硬件设计开发。