

半导体封装前沿塑封工艺技术研究

王灿文

江苏长晶浦联功率半导体有限公司

DOI: 10.12238/jpm.v6i11.8554

[摘要] 半导体产业作为现代科技的基石, 正以前所未有的速度蓬勃发展。随着 5G 通信、人工智能、物联网等新兴技术的崛起, 半导体芯片的性能、尺寸、功耗等方面面临着更为严苛的挑战。封装技术作为半导体产业链的关键环节, 其重要性愈发凸显。塑封工艺作为主流的封装手段之一, 承担着保护芯片、实现电气连接以及散热等多重使命, 对半导体器件的可靠性和性能起着决定性作用。本文将深入探讨当前塑封工艺的技术突破与产业化路径, 为行业提供切实可行的技术发展视角。

[关键词] 半导体; 塑封工艺; 技术

中图分类号: TN305

Research on cutting-edge plastic packaging technology for semiconductor packaging

Wang Canwen

Jiangsu Changjing Pulian Power Semiconductor Co., Ltd.

[Abstract] As the cornerstone of modern technology, the semiconductor industry is flourishing at an unprecedented speed. With the rise of emerging technologies such as 5G communication, artificial intelligence, and the Internet of Things, the performance, size, and power consumption of semiconductor chips are facing more stringent challenges. As a key link in the semiconductor industry chain, packaging technology is becoming increasingly important. Plastic packaging technology, as one of the mainstream packaging methods, undertakes multiple missions such as protecting chips, achieving electrical connections, and heat dissipation, playing a decisive role in the reliability and performance of semiconductor devices. This article will delve into the technological breakthroughs and industrialization paths of current plastic packaging processes, providing a practical and feasible perspective for the industry's technological development.

[Key words] semiconductor; Plastic sealing process; technology

引言

近年来, 在 5G 通信、人工智能和物联网设备的强劲需求驱动下, 全球半导体封装市场正经历深刻变革。塑封技术已从单纯的外围保护功能, 发展为影响芯片电热性能和集成密度的关键因素。特别是在摩尔定律趋近物理极限的背景下, 先进封装技术成为延续半导体产业发展的重要路径, 而塑封工艺在其

中扮演着举足轻重的角色^[1]。据 Yole Intelligence 《2024Advanced Packaging Report》统计, 2024 年全球先进封装市场规模达 452.3 亿美元, 其中采用创新塑封技术的产品贡献 158.3 亿美元, 占比 35.0%, 且 2020-2024 年复合增长率 (CAGR) 达 9.2%。这一趋势在 2025 年进一步加速, 推动全球半导体企业加大对塑封工艺的研发投入。因此, 深入研究前沿

塑封工艺技术，对于推动半导体产业的持续发展具有重要的现实意义。

1 前沿塑封工艺技术方法

前沿塑封工艺的核心目标是解决传统封装在“尺寸、密度、集成度、可靠性”上的瓶颈，通过工艺革新实现“更小封装体积、更高 I/O 密度、更强异质集成能力”。本章从工艺原理、核心优势、关键技术及典型应用出发，系统分析晶圆级塑封、扇外型封装及三维封装中的塑封技术，明确各技术的适用场景与发展方向。

1.1 晶圆级塑封

晶圆级塑封 (WLP) 作为一种先进的塑封工艺方法，近年来在半导体封装领域得到了广泛关注和迅速发展。与传统的先切割芯片再进行封装的工艺不同，WLP 是在整片晶圆上直接进行封装操作，然后再将封装好的晶圆切割成单个封装器件。这种工艺方法具有诸多显著优势，其中最突出的是能够实现极小的封装尺寸和极高的引脚密度。在 WLP 工艺中，通过在晶圆表面涂覆塑封材料，并结合光刻、电镀等工艺，在晶圆上直接构建出与芯片电连接的重布线层 (RDL) 和引脚结构，从而无需传统的引线框架或基板，大大减小了封装体积。

WLP 因“小尺寸、高集成”特性，广泛应用于对空间敏感的芯片，如智能手机图像传感器 (CIS)，像是索尼 IMX 系列 CIS，采用 WLP 后封装体积缩小 40%，可适配手机超薄摄像头模组；还有射频前端 (RFFrontEnd) 芯片，如 5G 手机中的滤波器、功率放大器 (PA)，WLP 的低寄生参数 (电感/电容) 可提升射频信号传输效率；可穿戴设备芯片，如智能手表的 MCU、传感器，WLP 可实现“芯片基板”直接贴合，减少设备整体厚度。当前 WLP 的主要挑战是大尺寸晶圆翘曲控制与异质集成兼容性：12 英寸晶圆封装后翘曲度仍难稳定控制在 $30\ \mu\text{m}$ 以内；此外，如何在 WLP 中集成“逻辑芯片+存储芯片”的异质结构，仍需突破多芯片 RDL 互联的精度瓶颈^[2]。

1.2 扇外型封装

扇外型封装 (Fan Out) 是另一种具有创新性的先进塑封工艺，它突破了传统封装形式的限制，为实现更高密度的封装和更好的电气性能提供了有效途径。在 Fan Out 工艺中，芯片被放置在一个临时载体上，然后通过注塑等工艺将芯片完全包裹在塑封材料中，形成一个包含芯片的塑封体。之后，去除临时载体，并在塑封体表面通过光刻、电镀等工艺制作重布线层和引脚，将芯片的内部电路引出到塑封体外部。这种封装方式的优势在于能够将芯片的输入输出 (I/O) 引脚从芯片边缘扩展到整个塑封体表面，实现了引脚的“扇出”，从而大大提高了引脚数量和封装密度。与传统封装相比，Fan Out 封装能够

实现更高的 I/O 密度，可满足大算力芯片、5G 通信芯片等对大量高速信号传输引脚的需求。

FanOut 因“高 I/O、高可靠性”特性，成为大算力、高带宽芯片的首选封装方案。人工智能 (AI) 芯片方面，如英伟达 A100、华为昇腾 910，需 10000+I/O 引脚实现多芯片互联，FanOut 可通过 $20\text{mm}\times 20\text{mm}$ 塑封体满足需求，同时低寄生参数保证数据传输带宽；5G 基站芯片，如基站中的数字信号处理器 (DSP)，需高频 (28GHz 毫米波) 信号传输，FanOut 的低寄生电感可减少信号衰减；车规级芯片，如自动驾驶域控制器 (DCU) 中的 SoC，FanOut 的抗温变、抗振性能可满足 $40^\circ\text{C}\sim 150^\circ\text{C}$ 的车规环境要求。FanOut 当前的主要挑战是面板级封装的均匀性与成本控制：FOPLP 的大尺寸面板 (如 $600\text{mm}\times 600\text{mm}$) 在塑封时易出现“边缘与中心材料密度差异”，导致平整度偏差超 $10\ \mu\text{m}$ ；此外，FOPLP 的设备投资成本是 FOWLP 的 35 倍，量产经济性仍需提升。

1.3 三维封装中的塑封技术

随着半导体技术的不断发展，对芯片集成度和性能的要求越来越高，三维封装技术应运而生。塑封工艺在三维封装中扮演着至关重要的角色，它不仅需要实现对芯片的保护和电气连接，还需要适应三维封装中复杂的结构和多层堆叠的需求。在三维封装中，常见的塑封技术包括芯片堆叠塑封和芯片与基板堆叠塑封等形式。在芯片堆叠塑封中，多个芯片通过垂直堆叠的方式进行封装，塑封材料需要能够在保证各芯片之间电气绝缘的同时，为整个堆叠结构提供良好的机械支撑和保护。例如，在一些高性能存储芯片的封装中，采用芯片堆叠塑封技术，将多个存储芯片垂直堆叠在一起，通过塑封工艺形成一个紧凑的封装体。这种封装方式能够在有限的空间内大幅提高存储容量，同时塑封材料的热导率和机械性能对整个堆叠结构的散热和可靠性起着关键作用。在芯片与基板堆叠塑封中，芯片与基板通过堆叠的方式进行封装，塑封材料需要填充芯片与基板之间的间隙，并实现与芯片和基板的良好粘结。例如，在系统级封装 (SiP) 中，将多个不同功能的芯片与基板进行堆叠封装，通过塑封工艺将整个系统封装成一个整体，实现了多种功能的集成，提高了系统的性能和可靠性。为了满足三维封装对塑封工艺的特殊要求，需要开发具有特殊性能的塑封材料和先进的工艺设备。例如，需要开发具有低粘度、高流动性的塑封材料，以便能够在复杂的三维结构实现良好的填充；同时需要开发高精度的塑封设备，能够精确控制塑封过程中的温度、压力等参数，确保塑封质量。此外，在三维封装的塑封过程中，还需要考虑如何减少因多层堆叠和材料热膨胀系数不匹配而产生的应力，以提高封装的可靠性^[3]。

2 典型案例分析

2.1 湖南越摩：塑封材料与工艺协同创新

湖南越摩先进半导体公司通过材料配方与结构设计的协同创新，在高端封装领域取得突破性进展。公司开发的纳米改性环氧塑封料采用独特的“核-壳”结构填料：以 40-70nm 二氧化硅为核，褶皱石墨烯为壳，表面经聚多巴胺修饰增强界面结合。这种设计充分利用了石墨烯的高导热 ($5300\text{W}/\text{m}\cdot\text{K}$) 和二氧化硅的低膨胀 ($0.5\text{ppm}/^\circ\text{C}$) 特性，使材料综合性能达到国际领先水平。在结构设计方面，公司创新性地提出动态挡板系统，针对扇出型封装中的包封回填问题提供解决方案。该技术在基板上设置可调微挡板阵列（高度 $80\mu\text{m}$ ），根据芯片布局 and 塑封料流变特性实时调节局部流速。2025 年公开的专利显示，在 5G 射频模块封装中，该技术使塑封料在芯片周围的流速差异从传统工艺的 35:1 降至 3:1，包封回填率稳定控制在 3% 以下。这一创新使高密度封装良率提升 12 个百分点，同时降低单位成本 17%。

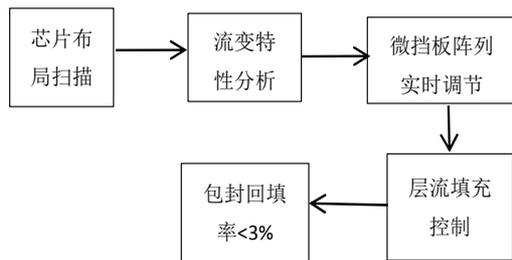


图1 动态挡板系统+纳米复合 EMC 协同创新技术原理示意图

2.2 江西宏聚：双工位塑封设备革新

江西宏聚电子针对中小型基板塑封效率瓶颈，推出革命性的双承载台塑封设备。该设备核心创新在于移动

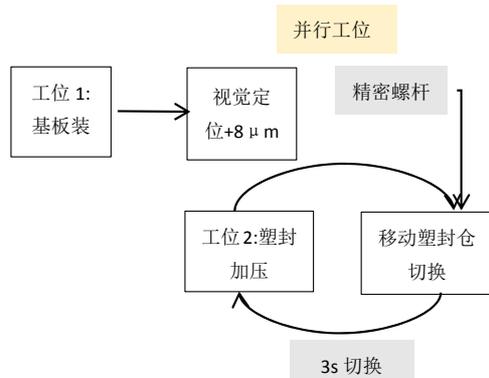


图2 设备结构流程图

式塑封仓与并行工位设计：塑封结构通过精密螺杆驱动在导轨上移动，当一侧承载台进行塑封时，另一承载台可同步进行电路板装卸和预对准。设备配备的视觉定位系统精度达 $\pm 8\mu\text{m}$ ，确保塑封仓与基板的精准对位。实际生产数据显示，该

设计将传统单工位设备的等待时间减少 85%，设备综合效率 (OEE) 从 68% 提升至 89%。更值得关注的是，通过消除电路板转移过程中的机械振动，塑封位置精度标准差从 $\pm 25\mu\text{m}$ 改善至 $\pm 9\mu\text{m}$ ，显著提升产品一致性。该设备特别适合 QFN、BGA 等中高端封装，单位成本降低 30%，已在国内 20 余家封测厂推广应用。

2.3 DELO: UV 固化工艺突破

德国 DELO 公司开发的紫外线固化扇出工艺为晶圆级封装提供全新路径。该技术突破传统热固化局限，采用低粘度 ($35,000\text{mPa}\cdot\text{s}$) 光固化材料，在室温下通过紫外光引发聚合。这种工艺彻底消除了因温度变化导致的热膨胀系数不匹配问题，从源头上解决翘曲难题。实验数据显示，采用该工艺的 300mm 晶圆翘曲量仅 0.4mm，是传统热固化工艺的 1/6；芯片偏移控制在 $\pm 3\mu\text{m}$ 以内，满足 $2\mu\text{m}$ 以下互连精度要求。同时，固化时间从 90 分钟缩短至 3 分钟，能耗降低 70%，显著提升生产效率和可持续性。该技术已通过多家 IDM 厂验证，特别适合温度敏感的 MEMS 和 CMOS 图像传感器封装，为扇出型封装开辟了新的技术方向。

3 结语

半导体塑封技术正经历从“被动封装”向“主动功能集成”的战略转型。2025 年的技术创新表明，压塑工艺已成为先进封装的主流路径，通过多腔体同步压塑和模内流动控制显著提升效率与良率；纳米复合环氧塑封料和 UV 固化材料等新型材料体系在解决翘曲、空洞等传统问题上取得突破性进展；而智能化塑封设备与数字孪生技术的融合，正推动生产模式向“零缺陷制造”演进。未来，随着超薄 3D 封装需求爆发，塑封技术将面临更严峻的性能与成本挑战。相关企业要通过全产业链深度协作，才能突破当前技术瓶颈，使塑封工艺真正成为延续摩尔定律的关键使能技术。

[参考文献]

- [1]王兴超, 宋永兵, 杜丰田. 半导体封装生产线工艺流程研究[J]. 通讯世界, 2024, 31(04): 142-144.
- [2]赵松, 汪宗华, 何成国, 等. 半导体塑封压机的自动化工艺技术应用[J]. 电子工业专用设备, 2023, 52(04): 42-45.
- [3]丁小宏, 杨春梅. 半导体封装生产线工艺流程探讨[J]. 无线互联科技, 2020, 17(19): 71-72.

作者简介：王灿文（1989.09.13-），男，汉族，安徽安庆人，研究生在读，研究方向：半导体封装材料升级、半导体封装工艺研究、工程管理。